

## METASTABILITÄT VON TAKTFLANKENGESTEUERTEN FLIP-FLOPS AN DER PERIPHERIE VON SYNCHRONEN SCHALTWERKEN

P. Balog

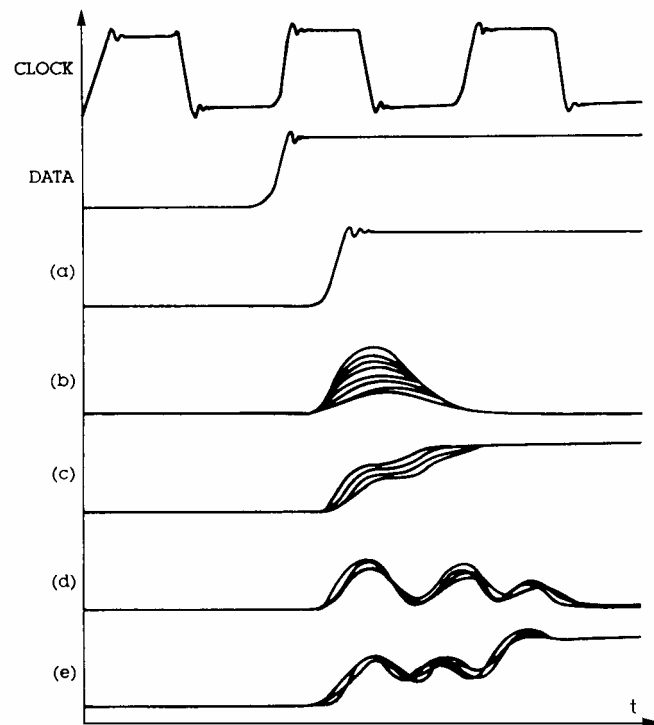
HTL und FhE am Technologischen Gewerbemuseum, Wien

### ZUSAMMENFASSUNG:

An der Peripherie von synchronen Systemen sind die Eingangssignale normalerweise asynchron zum Systemtakt, und damit ergibt sich das Problem, daß die Flip-Flop Ausgänge metastabil werden können, da die zeitlichen Randbedingungen für einen korrekten Flip-Flop Betrieb nicht erfüllt sind. Schaltungstechnische Maßnahmen helfen die Metastabilitätsgefahr zu reduzieren.

Immer dann, wenn ein taktflankengesteuertes Flip-Flop (*edge-triggered flip-flop*) einen asynchronen Eingang mit dem Systemtakt synchronisieren soll, kann nicht garantiert werden, daß die *Setup*- und die *Hold*-Zeit des Flip-Flops eingehalten werden. Bei einer *Setup*- bzw. *Hold*-Zeit Verletzung besteht eine Wahrscheinlichkeit, daß das Flip-Flop in den metastabilen Zustand /1/ übergeht,- d.h. der Flip-Flop Ausgang nimmt nicht nach der definierten maximalen *Clock-to-Output*-Zeit einen definierten (digitalen) Spannungswert ( $U_O > U_{OH}$  oder  $U_O < U_{OL}$ ) an, sondern bleibt für undefinierbare Zeit dazwischen „hängen“. Die nächste Abbildung /2/ zeigt einige Möglichkeiten.

In der Praxis wird durch die äußere Beschaltung (Belastung) der Ausgang nach einer mehr oder weniger langen Zeit wieder einen stabilen, gültigen (digitalen) Spannungspegel annehmen (siehe Oszillogramme (a) bis (e)). Die definierte, maximale *Clock-to-Output*-Zeit wird jedoch sicher nicht eingehalten.



Das Problem ist für den Konstrukteur primär nicht der illegale Spannungswert am Ausgang (der könnte ohne größere Probleme entweder zu 0 oder zu 1 definiert werden), sondern das unvorhersehbare zeitliche Verhalten bis sich ein stabiler Logikpegel am Ausgang einstellt. Wird dieser Effekt in der Konstruktion nicht beachtet, so kann wegen eines metastabilen Flip-Flops an irgend einem (asynchronen) Eingang das Gesamtsystem „abstürzen“, da die zu lange *Clock-to-Output-Zeit* in der Berechnung der maximalen Systemtaktfrequenz natürlich nicht berücksichtigbar ist.

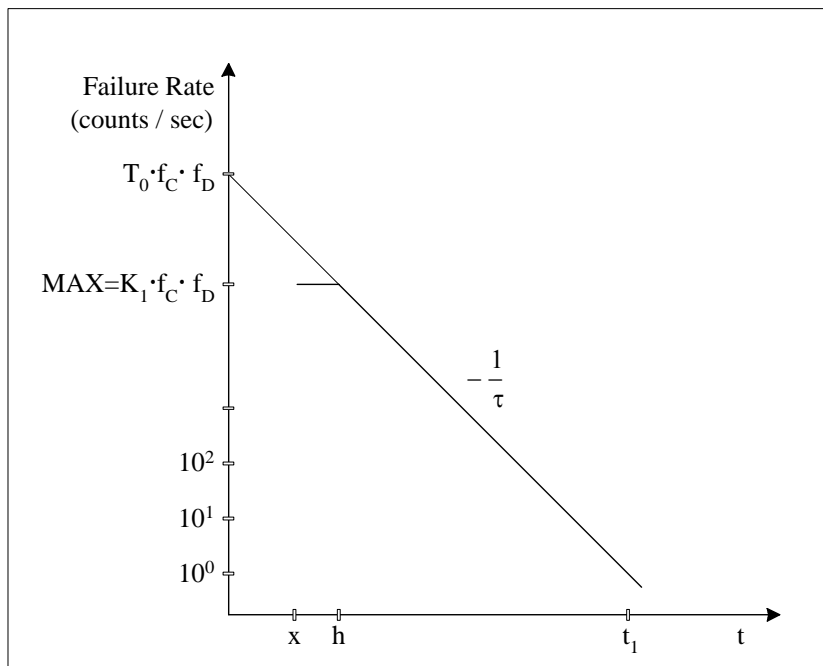
Innerhalb eines synchronen getakteten Systems kann keine Metastabilität auftreten, wenn gilt

- *Clock-to-Output-Zeit* des Flip-Flops ist größer als die *Setup-Zeit*
- Aktuelle Systemtaktfrequenz kleiner als die maximale Systemtaktfrequenz

Metastabilitätsgefährdet sind die Schnittstellen zwischen zwei synchronen Systemen mit unterschiedlicher Taktfrequenz und natürlich die bereits angesprochene Synchronisation von asynchronen Eingängen.

Das Phänomen der Metastabilität ist prinzipiell unvermeidbar,- die Wahrscheinlichkeit für eine fehlerhafte Operation kann jedoch bestimmt werden. Mit einer geeigneten Meßschaltung

/2/ und der anschließenden Auswertung der Meßergebnisse kann die folgende Kennlinie approximiert werden.



Die Kennlinie zeigt, daß die Wahrscheinlichkeit für einen metastabilen Ausgang umso geringer ist, je später der Flip-Flop-Ausgang abgetastet (betrachtet) wird. Nähert man sich dem Punkt  $h$  („normale“ Verzögerungszeit  $t_{CO}$ ), so steigt die Fehlerrate exponentiell an. Ab einer gewissen Zeit steigt die Fehlerrate nicht mehr an,- ein Maximum ist erreicht. Dieses Maximum ist direkt proportional zum Produkt aus Takt- und Datenfrequenz ( $f_C \cdot f_D$ ). Bei dem mit „ $x$ “ gekennzeichneten Zeitpunkt sind wir bereits so nahe an der Flip-Flop-Taktflanke, daß noch keine Änderung am Ausgang sichtbar ist,- die Fehlerrate springt auf 0.

Aus der so aufgenommenen Kennlinie läßt sich nun eine Gleichung /3/ ableiten:

$$F(t) = T_0 \cdot f_C \cdot f_D \cdot e^{-\frac{t}{\tau}} \quad t > h$$

$T_0$  ergibt sich, wenn die Gerade bis zur Ordinate verlängert wird,- dieser Parameter ist abhängig von der Neigung des Flip-Flops metastabil zu werden.  $\tau$  ist eine Zeitkonstante die

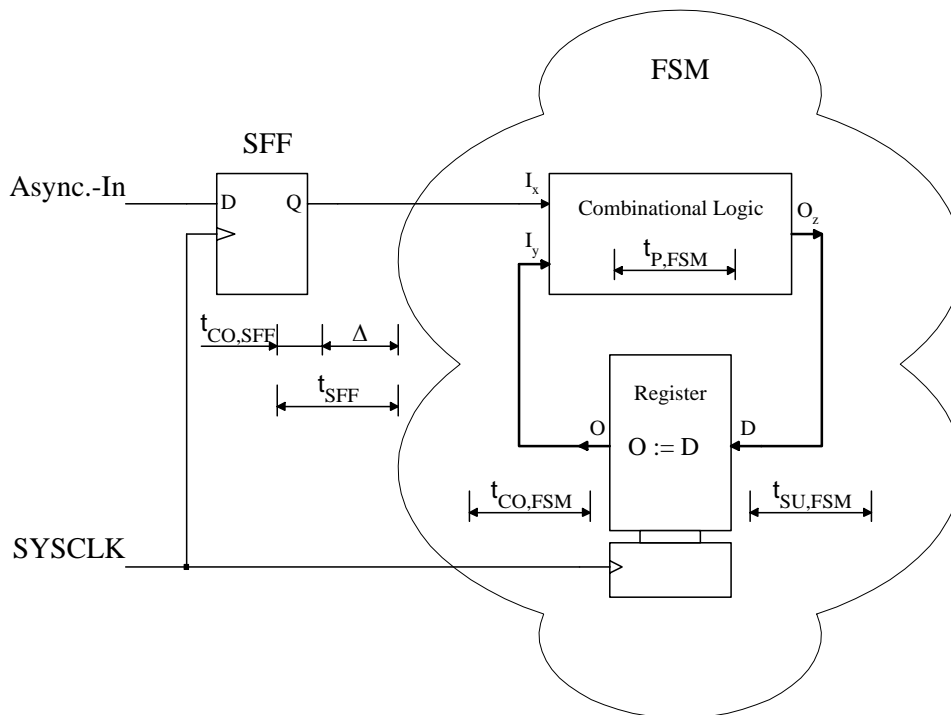
angibt, wie schnell sich das Flip-Flop aus der Metastabilität „lösen“ kann (*metastable recovery time constant*).

Der *MTBF* (*mean time between failures*) ergibt sich als Kehrwert der Funktion für die Fehlerrate /3//4/:

$$MTBF(t) = \frac{1}{T_0 \cdot f_C \cdot f_D \cdot e^{-\frac{t}{\tau}}} = \frac{e^{\frac{t}{\tau}}}{T_0 \cdot f_C \cdot f_D} \quad t > h$$

Aus dem geforderten *MTBF* kann dann die einzuhaltende Verzögerungszeit  $t$  berechnet werden; sie ist um ein „*Extra-Delay*“  $\Delta = t - h$  länger als die im Datenbuch spezifizierte „normale“ Verzögerungszeit  $t_{CO} = h$ .

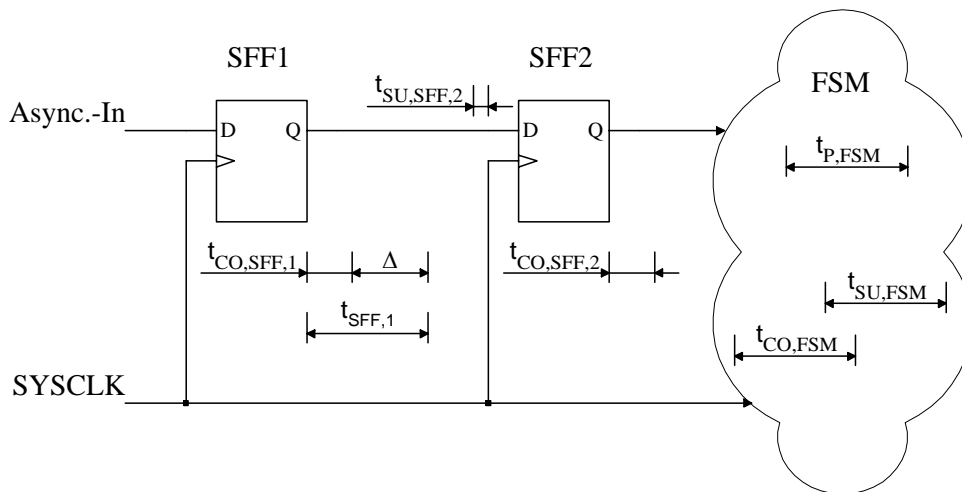
Asynchrone Eingänge sollen nicht direkt in eine FSM eingespeist werden, sondern über ein *Synchronizer-Flip-Flop* (SFF) /4/ geführt werden.



Ein SFF, wie z.B. das 74F5074, hat sehr kleine *Setup-* und *Hold-Zeiten*, eine kurze *Clock-to-Output* Verzögerungszeit und ein sehr gutes Metastabilitätsverhalten. Die Verzögerungszeit des SFF  $t_{SFF}$  wird so gewählt, daß der MTBF hinreichend groß ist ( $t_{SFF} = t_{CO,SFF} + \Delta$ ). Die maximale Systemtaktfrequenz errechnet sich zu:

$$f_{SYSCLK} = \text{Min} \left( \frac{1}{t_{SFF} + t_{P,FSM} + t_{SU,FSM}}, \frac{1}{t_{CO,FSM} + t_{P,FSM} + t_{SU,FSM}} \right)$$

Obwohl das SFF normalerweise schneller ist als die Flip-Flops des FSM-Registers sind, kann es durch hinzufügen der Extrazeit  $\Delta$  zu einer Verringerung der Systemtaktfrequenz kommen. Dies kann i.a. vermieden werden, wenn zwei SFFs kaskadiert werden:



Die Systemtaktfrequenz wird nun ausschließlich von der FSM bestimmt und ergibt sich zu:

$$f_{SYSCLK} = \frac{1}{t_{CO,FSM} + t_{P,FSM} + t_{SU,FSM}}$$

Die Verzögerungszeit, die dem SFF1 zur Verfügung steht errechnet sich zu:

$$t_{SFF,1} = \frac{1}{f_{SYSCLK}} - t_{SU,SFF2}$$

Diese Zeit ist i.a. sehr groß,- damit ergibt sich auch ein extrem großer MTBF-Wert.

Am Beispiel einer 50 MHz FSM ( $T_{SYSCLK} = 20\text{ns}$ ), bei der die asynchronen Eingänge über zwei kaskadierte SFFs vom Typ 74F5074 /4/ ( $T_0 = 9.8 \cdot 10^6\text{s}$ ,  $\tau = 135\text{ps}$ ,  $t_{CO,SFF} = 7\text{ns}$ ,  $t_{SU,SFF} = 1.5\text{ns}$ ) eingespeist werden, ergibt sich mit der maximal sinnvollen Datenfrequenz von 25 MHz ein MTBF-Wert von:

$$MTBF = 2.668 \cdot 10^{37} \text{ sec} = 8.46 \cdot 10^{29} \text{ Jahre}$$

Dieser Wert bedeutet für die Praxis, daß die Schaltung als metastabilitätsfrei zu bewerten ist.

Die selbe Anordnung für verdoppelte Verarbeitungsgeschwindigkeit mit einer 100 MHz FSM und 50 MHz Datenfrequenz führt auf einen MTBF-Wert von:

$$MTBF = 12.53 \text{ Stunden}$$

An diesem Beispiel sieht man recht deutlich, daß es unbedingt notwendig ist, die Metastabilitätseigenschaften eines Systems genau zu untersuchen. Die 100 MHz FSM ist in dieser Implementierung sicher unbrauchbar.

#### Literatur:

- /1/ T. J. Chaney, C. E. Molnar, „*Anomalous Behavior of Synchronizer and Arbiter Circuits*“, IEEE Transaction on Computers, April 1973, p421-p422
- /2/ Monolithic Memories (MMI), „*Programmable Logic Handbook*“, Fourth Edition, 1984, p9-13 - p9-16
- /3/ Neil H. E. Weste, Kamran Eshraghian, „*Principles of CMOS VLSI Design*“, Second Edition, Addison Wesley, 1993, ISBN 0-201-53376-6, p337-p340
- /4/ Philips Semiconductors, „*FAST TTL Logic Series Data Handbook*“, Book IC15, 1992, p955-p962